

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 14 日
Application Date

申請案號：092100739
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 12 日
Issue Date

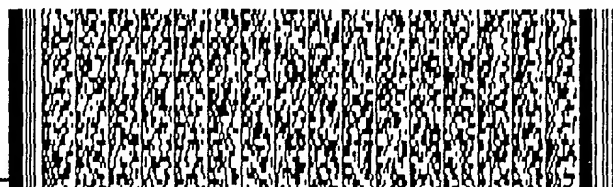
發文字號：09220884030
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	橋接形式之多晶片封裝構造
	英文	BRIDGE CONNECTION TYPE OF MCM PACKAGE
二、 發明人 (共1人)	姓名 (中文)	1. 洪志斌
	姓名 (英文)	1. Hung, Chih-Pin
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市三民區鼎金後路36巷9號
	住居所 (英文)	1. No. 9, Lane 36, Dingjinhou Rd., Sanmin Chiu, Kaohsiung, Taiwan 807, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chang, Jason



四、中文發明摘要 (發明名稱：橋接形式之多晶片封裝構造)

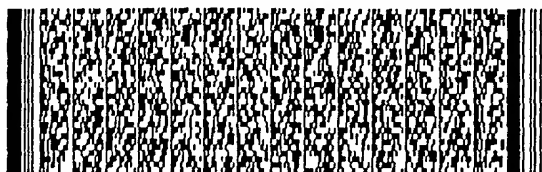
一種橋接形式之多晶片封裝構造主要包括一載板、一第一晶片、一第二晶片及至少一導電體。該載板具有一上表面及對應之一下表面，複數個載板接點，位在載板之上表面。第一晶片具有一第一主動表面，該第一晶片還具有至少一第一接點，配置在第一晶片之第一主動表面上。同樣地，第二晶片具有一第二主動表面，該第二晶片還具有至少一第二接點，配置在第二晶片之第二主動表面上。第一晶片之第一側壁係緊鄰第二晶片之第二側壁，且第一晶片之第一主動表面與第二晶片之第二主動表面係為共平面的配置。導電體係在第一晶片之第一主動表面上及第二晶片之第二主動表面上延伸，使第一晶片之第一接點與第二晶片之第二接點電性連接。

伍、(一)、本案代表圖為：圖2

(二)、本案代表圖之元件代表符號簡單說明：

陸、英文發明摘要 (發明名稱：BRIDGE CONNECTION TYPE OF MCM PACKAGE)

A bridge connection type MCM package mainly comprises a carrier, a first chip, a second chip and at least a conductive material. The carrier includes an upper surface and a lower surface, and a plurality of carrier terminals are formed thereon. The first chip has a first active surface and at least one first terminal is formed on the first active surface. Similarly, the second chip

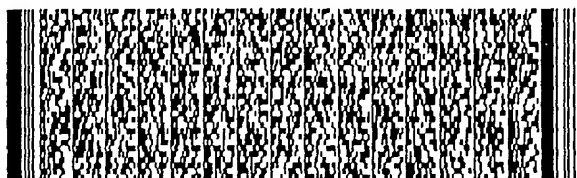


四、中文發明摘要 (發明名稱：橋接形式之多晶片封裝構造)

20	載板
202	載板上表面
204	載板下表面
206、208	載板接點
207	導電元件(銲球)
22	第一晶片
221	第一側壁
222	第一主動面
224	第一背面
226、228	第一晶片接點
24	第二晶片
241	第二側壁
242	第二主動表面
244	第二背面
246、248	第二晶片接點

陸、英文發明摘要 (發明名稱：BRIDGE CONNECTION TYPE OF MCM PACKAGE)

has a second active surface and at least one first terminal is formed on the second active surface. The first side-wall of the first chip is adjacent to the second side-wall of the second chip, and the first active surface and the second active surface are arranged coplanarly. The conductive material is used to connect the first terminal on the first active surface of the first chip and the



四、中文發明摘要 (發明名稱：橋接形式之多晶片封裝構造)

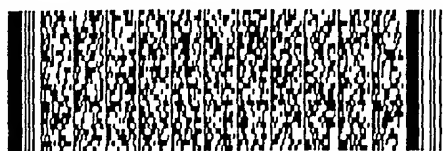
260、262 導電線

264 導電體

28 封膠體

陸、英文發明摘要 (發明名稱：BRIDGE CONNECTION TYPE OF MCM PACKAGE)

second terminal on the second active surface of the second chip. Thus, the first terminal of the first chip is electrically connected with the second terminal of the second chip.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

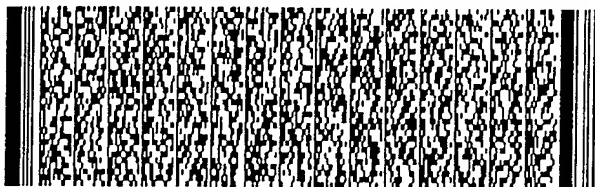
(一)、【發明所屬之技術領域】

本發明係關於一種多晶片封裝構造，特別有關於一種橋接形式之多晶片封裝構造。

(二)、【先前技術】

近年來，隨著電子技術的日新月異，高科技電子產品也相繼問世，因而更人性化、功能性更佳之電子產品不斷推陳佈新，然而各種產品無不朝向輕、薄、短、小的趨勢設計，以提供更便利舒適的使用。而一個電子產品的完成，電子封裝扮演著重要的角色，其晶片間電性連接的方式，一般常見的有兩種，第一種為打線(wire-bonding)的方式、第二種為覆晶(flip chip)的方式。就打線的方式而言，其係利用一打線機台將其打線頭先移動至晶片的接點上，並利用尖端放電的方式將導電線的端點熔化而成為球型的樣式，如此便可以將導電線打到晶片的接點上，然後便移動打線頭到另一晶片的接點上，最後再利用超音波熔接的方式將導電線打到另一晶片的接點上。

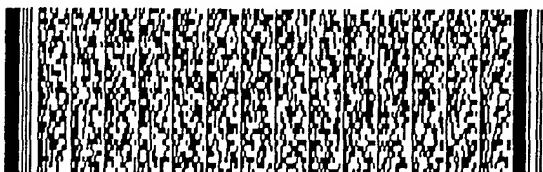
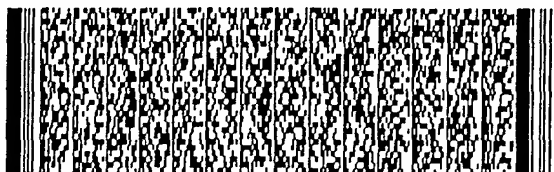
接下來，將介紹一種習知利用打線方式的多晶片封裝結構。請參照第1圖，其繪示習知利用打線方式之多晶片封裝結構的剖面示意圖。該封裝結構包括一載板10、一第一晶片12、一第二晶片14、複數條導電線160、162、164、一封膠體18及多個鐸球19。載板10具有一上表面102及對應之下表面104，而載板10具有多個載板接點106及第一晶片座105與第二晶片座109，載板接點106及第一晶片



五、發明說明 (2)

座105與第二晶片座109係位在載板10之上表面102上，並且載板接點106係環繞在第一晶片座105與第二晶片座109的周圍，而載板接點108係位在載板10之下表面104上。第一晶片12具有一主動表面122及對應之第一背面124，而第一晶片12還具有多個第一晶片接點126，係位在第一晶片12之主動表面122上。第一晶片12係以其第一背面124並藉由一黏著材料(未標示於圖中)貼附到載板10之晶片座105上，而係利用打線的方式使第一晶片12與載板10電性連接，其中導電線160的一端係接合到第一晶片接點126上，而導電線160的另一端係接合到載板接點106上。同樣地，第二晶片14具有一第二主動表面142及對應之第二背面144，而第二晶片14還具有多個第二晶片接點146，係位在第二晶片14之第二主動表面142上。第二晶片14係以其第二背面144並藉由一黏著材料(未標示於圖中)貼附到載板10之晶片座109上，而係利用打線的方式使第二晶片14與載板10電性連接，其中導電線162的一端係接合到第二晶片接點146上，而導電線162的另一端係接合到載板接點108上。此外，第一晶片12與第二晶片14係藉導電線164電性導通。另外，封膠體18包覆第一晶片12、第二晶片14、載板10之上表面102及導電線160、162及164。

在上述的封裝結構中，第一晶片12係藉由導線164與第二晶片14電性連接，然而由於導線164的截面積甚小並且長度甚長，因此特性阻抗匹配不良，使得訊號會被快速地衰減，並且在高頻電路運作時，會有電感電容寄生效應



五、發明說明 (3)

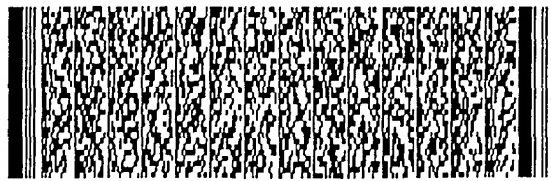
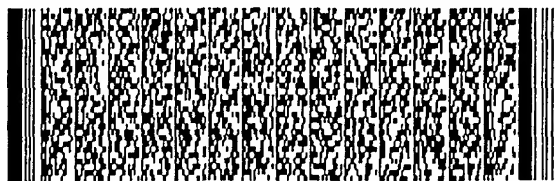
(Parasitics)的發生，以致產生訊號反射的情形。此外，由於導線164與第一晶片接點傳輸路徑的面積甚小，不利於電壓及電流提供，導致電源及接地的效果變差。

有鑑於此，為避免前述多晶片封裝構造之缺點，以提升多晶片封裝構造之晶片效能，實為一重要的課題。

(三)、【發明內容】

有鑑於上述課題，本發明之目的係提供一種多晶片封裝構造，以橋接形式之導電材料取代導電線，如此可縮短晶片間電性連接的距離，使得多晶片封裝構造的電性效能可以提高。

緣是，為了達成上述目的，本發明提出一種多晶片封裝構造，至少包括一載板、一第一晶片、一第二晶片及至少一導電體及複數個鐸球。載板具有一上表面及對應之下表面，載板還具至少一載板接點，均位在載板之上表面。第一晶片具有一第一主動表面，第一晶片還具有至少一第一晶片接點，配置在第一晶片之第一主動表面上。同樣地，第二晶片具有一第二主動表面，第二晶片還具有至少一第二晶片接點，配置在第二晶片之第二主動表面上。其中，第一晶片及第二晶片係以打線方式配置於載板上，並與載板電性連接。此外，第一晶片之至少一第一側壁係緊鄰第二晶片之第二側壁，並且第一晶片之第一主動表面與第二晶片之第二主動表面係為共平面的配置。導電體係在第一晶片之第一主動表面上及第二晶片之第二表面上延



五、發明說明 (4)

伸，使第一晶片之第一接點與第二晶片之第二接點電性連接。

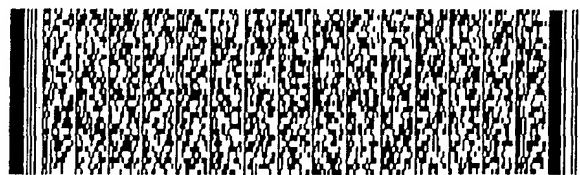
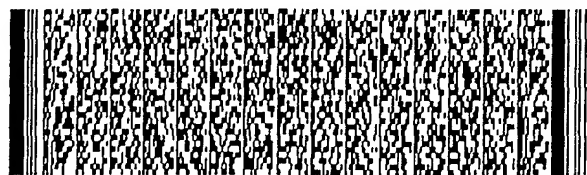
承上所述，其中晶片封裝構造還包括一封裝材料，包覆第一晶片及第二晶片、載板之上表面及導電體。第一晶片接點及第二晶片接點係分別位在第一晶片及第二晶片的邊緣上，且緊鄰配置。此外，導電體可以是錫鉛合金、無鉛導電材料或導電膠。

綜上所述，本發明之多晶片封裝構造，由於晶片間之接點可以透過導電體電性連接，因此晶片接點間的傳導路徑甚短，且傳導路徑的徑寬甚大，故可以降低傳導阻抗，而減緩訊號的衰減，並且可以適於在高頻電路的運作，而減少電感電容寄生效應的發生。另外，由於導電體與晶片接點接觸的面積甚大，且載板接點可以直接與晶片接點接觸，故可以避免發生如打線結構之阻抗不匹配的現象，並且會有甚佳的電源及接地效果。

(四)、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之橋接形式之多晶片封裝構造。

圖2係揭示一種本發明第一較佳實施例之橋接形式之多晶片封裝構造，其主要包括一載板20、一第一晶片22、一第二晶片24及一導電體264。該載板20具有一上表面202及對應之一下表面204，複數個載板接點206、208，均位在載板20之上表面。第一晶片22具有一第一主動表面



五、發明說明 (5)

222，該第一晶片22還具有至少一第一晶片接點226，配置在第一晶片22之第一主動表面222上。同樣地，第二晶片24具有一第二主動表面242，該第二晶片24還具有至少一第二晶片接點246，配置在第二晶片24之第二主動表面242上。其中，第一晶片22係以其背面並藉由一黏著材料(如銀膠)設置於載板20上；同樣地，第二晶片24係以其背面並藉由一黏著材料(如銀膠)設置於載板20上。導電線260係電性連接第一晶片22之第一晶片接點226與載板20之載板接點206，而導電線262係電性連接第二晶片24之第二晶片接點246與載板20之載板接點208。

此外，第一晶片22之第一側壁221係緊鄰第二晶片24之第二側壁241，且第一晶片22之第一主動表面222與第二晶片24之第二主動表面242係為共平面的配置，再者，第一晶片接點226及第二晶片接點246係分別位在第一晶片22及第二晶片24的邊緣上，且緊鄰配置。導電體264係在第一晶片22之第一主動表面222上及第二晶片24之第二主動表面242上延伸，使第一晶片22之第一晶片接點228與第二晶片24之第二晶片接點248電性連接。承上所述，該多晶片封裝構造還包括一封裝材料280，包覆第一晶片22及第二晶片24、載板20之上表面202及導電體264。此外，上述之導電體264可以是錫鉛合金、無鉛導電材料或導電膠。

如圖3所示，本發明之第二較佳實施例之橋接形式之多晶片封裝構造，當第一晶片22之第一側壁221與第二晶片24之第二側壁241間具有一較大之空隙時，可先設置一



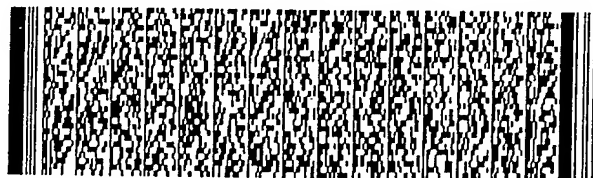
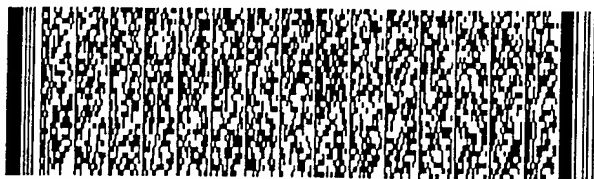
五、發明說明 (6)

填充體29，如不導電膠體。該填充體29之上表面係與第一晶片22之第一主動表面222及第二晶片24之第二主動表面242共平面。接著，可以利用網板印刷的方式，形成一鍍料到第一晶片接點226、第二晶片接點246及填充體之上表面292上，其中鍍料係由一助鍍劑(未繪示)及多個金屬粒子(未繪示)所構成，金屬粒子係均勻地混合在助鍍劑中。之後，便進行迴鍍的製程，使得金屬粒子可以熔融聚合而固化形成導電體264到第一晶片接點226及第二晶片接點246上。其中第一晶片接點226及第二晶片接點246可藉由導電體264相互電性連接，而導電體264比如是錫鉛合金或是無鉛導電材料。

接著，請參照圖4，為本發明之第三較佳實施例之橋接形式之多晶片封裝構造。其中，載板20具有一開口201，第一晶片22及第二晶片24係容置於該開口201中，而封膠體28係包覆該載板20上表面202之部分、第一晶片22、第二晶片24及導電體264，並且使第一晶片22及第二晶片24之背面外露之，以藉此進一步縮小整體封裝構造之厚度。

再者，承上所述，如圖5所示，亦可設置一散熱片21於載板20下表面204，而第一晶片22及第二晶片24係設置在散熱片21上，如此更可提升封裝體之散熱效能，此為本發明之第四較佳實施例之橋接形式之多晶片封裝構造。

承上所述，請參照圖6，為本發明之第五較佳實施例之橋接形式之多晶片封裝構造。載板20亦具有一開口



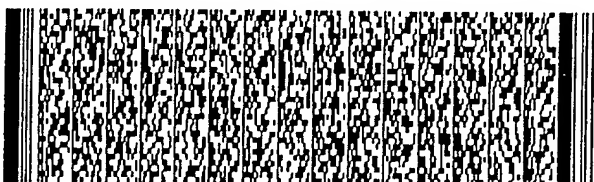
五、發明說明 (7)

201，第一晶片22及第二晶片24係同時容置於該開口201中，而該開口201之大小恰可容置第一晶片22及第二晶片24。其中，第一晶片22具有一第三側壁223，第二晶片24具有一第四側壁243，開口20內具有一週壁203，該第一晶片22及第二晶片24之側壁係緊鄰開口之週壁203，且第一晶片22之第一主動表面222、第二晶片24之第二主動表面242與載板20之上表面202係共平面配置。接著，形成一第二導電體266以電性連接第一晶片22與載板20。同樣地，另形成一第三導電體268以電性連接第二晶片24與載板20。

不論是上述何種實施例，皆可於載板之上表面或下表面另植接複數個錫球於其上，用以與外界電性導通之接點。

在上述的封裝構造中，由於晶片接點間可以透過導電體電性連接，因此晶片接點間及晶片與載板接點間的傳導路徑甚短，且傳導路徑的徑寬甚大，故可以降低傳導阻抗，而減緩訊號的衰減，並且可以適於在高頻電路的運作，而減少電感電容寄生效應(Parasitics)的發生。此外，由於導電體與載板接點或晶片接點接觸的面積甚大，且載板接點可以直接與晶片接點接觸，因此其接觸阻抗甚小，故可以避免發生阻抗不匹配的現象，以致產生訊號反射的情形。另外，由於本發明可以改善晶片封裝構造中如上所述的電性效能，因此會有甚佳的電源及接地的效果。

在上述實施例中，係以網板印刷的方式形成錫料於晶



五、發明說明 (8)

片接點上及載板點上，然而本發明形成鐳料的方式並非僅限於此，請參照圖7至圖9，亦可以先形成一線路圖案層254到第一晶片22之第一主動表面222、第二晶片24之第二主動表面242及載板20之上表面202上，當線路圖案層254係為感光材質時，便可以透過曝光的步驟而直接形成開口256，以暴露出第一晶片接點226、第二晶片接點246及載板接點208；當線路圖案層254係為非感光材質時，便可以透過微影蝕刻等步驟而形成開口256，以暴露出第一晶片接點226、第二晶片接點246及載板接點208。接著，便可以利用印刷的方式，形成一鐳料258到線路圖案層254之開口256中，形成如圖8所示的樣式，其中鐳料258係由一助鐳劑(未繪示)及多個金屬粒子(未繪示)所構成，金屬粒子係均勻地混合在助鐳劑中。之後，便進行迴鐳的製程，使得金屬粒子可以熔融聚合而固化形成導電體259到第一晶片接點226、第二晶片接點246及載板接點208，如圖9所示，其中第一晶片接點226可以藉由導電體259與第二晶片接點246電性連接。同樣地，第一晶片接點226可以藉由導電體259與載板接點208電性連接。接著，便將線路圖案層254去除。其接下來的製程，如第一較佳實施例所述，在此便不再贅述。需說明的是，圖4、5、6、7、8及9中各元件之參考符號係與圖3中之各元件之參考符號相對應。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請



五、發明說明 (9)

專利範圍之情況，可作種種變化實施。



圖式簡單說明

(伍)、【圖式簡單說明】

圖1為一示意圖，顯示習知多晶片封裝構造。

圖2為一示意圖，顯示本發明第一較佳實施例中之橋接形式之多晶片封裝構造。

圖3為一示意圖，顯示本發明第二較佳實施例中之橋接形式之多晶片封裝構造。

圖4為一示意圖，顯示本發明第三較佳實施例中之橋接形式之多晶片封裝構造。

圖5為一示意圖，顯示本發明第四較佳實施例中之橋接形式之多晶片封裝構造。

圖6為一示意圖，顯示本發明第五較佳實施例中之橋接形式之多晶片封裝構造。

圖7至圖9為一示意圖，顯示本發明第四較佳實施例的一種橋接形式之多晶片封裝構造製程之剖面示意圖。

元件符號說明：

10	載板
102	載板上表面
104	載板下表面
105	第一晶片座
106、108	載板接點
107	導電元件(鉅球)
109	第二晶片座
12	第一晶片



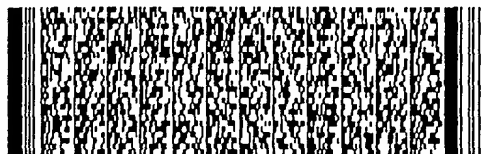
圖式簡單說明

122	第一主動面
124	第一背面
126	第一晶片接點
14	第二晶片
142	第二主動表面
144	第二背面
146	第二晶片接點
160、162、164	導電線
18	封膠體
19	鐳球
20	載板
201	開口
202	載板上表面
203	週壁
204	載板下表面
206、208	載板接點
207	導電元件(鐳球)
21	散熱片
22	第一晶片
221	第一側壁
222	第一主動表面
223	第三側壁
224	第一背面
226、228	第一晶片接點



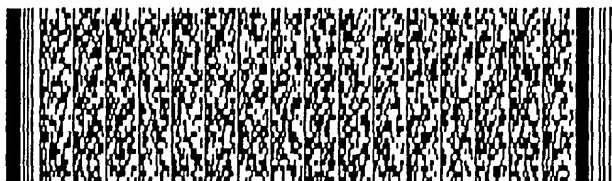
圖式簡單說明

24	第二晶片
241	第二側壁
242	第二主動表面
243	第四側壁
244	第二背面
246、248	第二晶片接點
254	線路圖案層
256	開口
258	鍍料
259	導電體
260、262	導電線
264	導電體
266	第二導電體
268	第三導電體
28	封膠體
280	封裝材料
29	填充體
292	填充體上表面



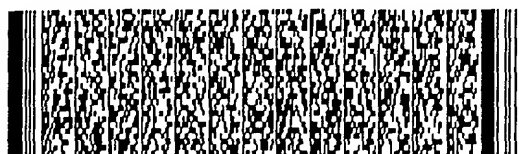
六、申請專利範圍

1. 一種橋接形式之多晶片封裝構造，包含：
 - 一載板，該載板具有一上表面及一下表面；
 - 一第一晶片，其係具有一第一主動表面及一第一側壁，該第一主動表面係具有至少一第一晶片接點，該第一晶片係以該第一主動表面面向該封裝載板之上表面配置，並與該載板電性連接；
 - 一第二晶片，其係具有一第二主動表面及一第二側壁，該第二主動表面係具有至少一第二晶片接點，該第二晶片係以該第二主動表面面向該封裝載板之上表面配置，並與該載板電性連接；及
 - 至少一第一導電體，該導電體係依附在該第一晶片的第一主動表面上及第二晶片的第二主動表面上延伸，使該第一晶片與該第二晶片電性連接。
2. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，更包含一封裝材料，其係包覆該第一晶片、該第二晶片、該載板之上表面及該第一導電體。
3. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，更包含複數個導電元件，該導電元件係設置在該載板之下表面。
4. 依申請專利範圍第3項之橋接形式之多晶片封裝構造，其中該等導電元件係為鐳球。



六、申請專利範圍

5. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該第一晶片接點至少部份係位在該第一晶片的邊緣上。
6. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該第二晶片接點至少部份係位在該第二晶片的邊緣上。
7. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該等第一導電體係為錫鉛合金。
8. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該等第一導電體係無鉛導電材料。
9. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該第一晶片之第一晶片接點係緊靠在該第二晶片之第二晶片接點的旁邊。
10. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該等第一導電體係為導電膠。
11. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該第二晶片之第二側壁係緊鄰該第一晶片之第一側



六、申請專利範圍

壁。

12. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該第二晶片接點緊鄰該第一晶片接點配置。

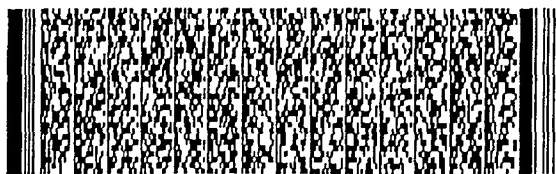
13. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該第二晶片之主動表面與該第一晶片之主動表面係為共平面的配置。

14. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，更包含複數條導電線，其中第一晶片係藉該等導電線與該載板電性連接。

15. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，更包含複數條導電線，其中第二晶片係藉該等導電線與該載板電性連接。

16. 依申請專利範圍第13項之橋接形式之多晶片封裝構造，其中該第一晶片之第一側壁及該第二晶片之第二側壁間係設置一填充體，該填充體具有一上表面係同時與第一晶片之主動表面與第二晶片之主動表面共平面。

17. 依申請專利範圍第1項之橋接形式之多晶片封裝構造，其中該載板更具有一開口，該第一晶片及該第二晶片係容



六、申請專利範圍

置於該開口中。

18. 依申請專利範圍第17項之橋接形式之多晶片封裝構造，其中更包含一散熱片，該散熱片係設置於該載板至下表面。

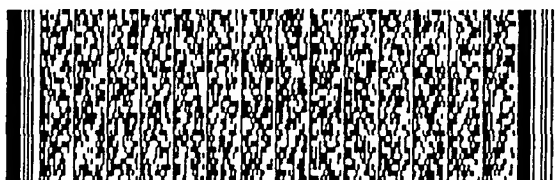
19. 依申請專利範圍第18項之橋接形式之多晶片封裝構造，其中更包含複數個鐳球，該等鐳球係設置在該載板之上表面。

20. 依申請專利範圍第17項之橋接形式之多晶片封裝構造，其中該開口內部具有一週壁，該第一晶片及該第二晶片更分別具有第三側壁及一第四側壁，且該第三側壁及第四側壁係分別緊鄰該週壁。

21. 依申請專利範圍第17項之橋接形式之多晶片封裝構造，其中該第二晶片之主動表面、該第一晶片之主動表面及該載板之上表面係為共平面的配置。

22. 依申請專利範圍第20項之橋接形式之多晶片封裝構造，其中更包含一散熱片，該散熱片係設置於該載板之下表面。

23. 依申請專利範圍第21項之橋接形式之多晶片封裝構造



六、申請專利範圍

造，其中更包含一散熱片，該散熱片係設置於該載板之下表面。

24. 依申請專利範圍第22項之橋接形式之多晶片封裝構造，其中更包含複數個鐳球，該等鐳球係設置在該載板之上表面。

25. 依申請專利範圍第23項之橋接形式之多晶片封裝構造，其中更包含複數個鐳球，該等鐳球係設置在該載板之上表面。

26. 依申請專利範圍第17項之橋接形式之多晶片封裝構造，更包含複數條導電線，其中第一晶片係藉該等導電線與該載板電性連接。

27. 依申請專利範圍第17項之橋接形式之多晶片封裝構造，更包含複數條導電線，其中第二晶片係藉該等導電線與該載板電性連接。

28. 依申請專利範圍第20項之橋接形式之多晶片封裝構造，更包含至少一第二導電體，其中第一晶片係藉該等第二導電體與該載板電性連接。

29. 依申請專利範圍第20項之橋接形式之多晶片封裝構造



六、申請專利範圍

造，更包含至少一第二導電體，其中第二晶片係藉該等第二導電體與該載板電性連接。



30. 依申請專利範圍第21項之橋接形式之多晶片封裝構造，更包含至少一第二導電體，其中第一晶片係藉該等第二導電體與該載板電性連接。

31. 依申請專利範圍第21項之橋接形式之多晶片封裝構造，更包含至少一第二導電體，其中第二晶片係藉該等第二導電體與該載板電性連接。



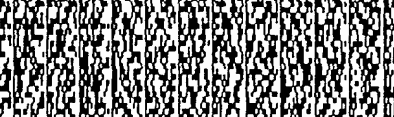
A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost crystalline or cellular appearance. The overall effect is one of intense texture and depth, with varying shades of gray and black against a white background.

100
 90
 80
 70
 60
 50
 40
 30
 20
 10
 0
 0 10 20 30 40 50 60 70 80 90 100



100

100



100

A large, dense, black and white photograph showing a close-up of a textured surface, possibly a wall or a piece of fabric, with a grid-like pattern of small, dark, rectangular elements. The texture is highly irregular and complex, with many small, dark, rectangular shapes interspersed with lighter, more uniform areas. The overall effect is one of a highly detailed, almost abstract pattern.



圖式

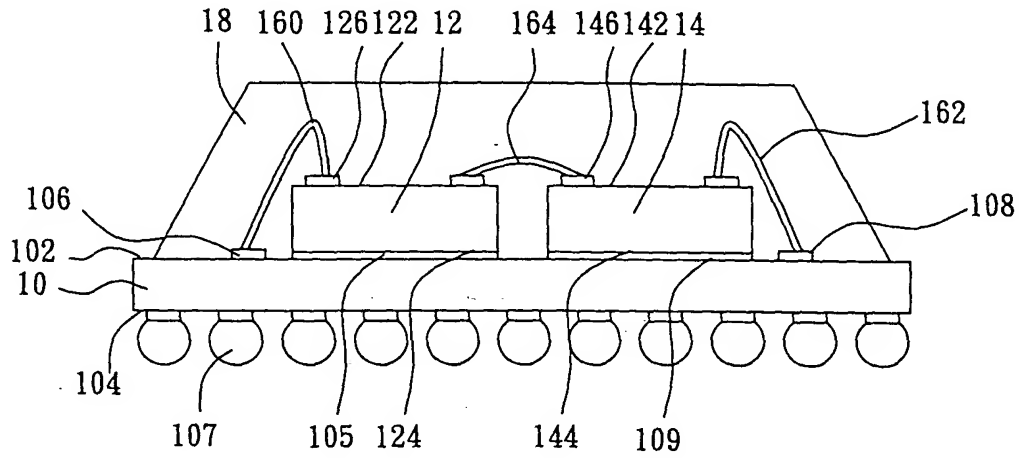


圖 1

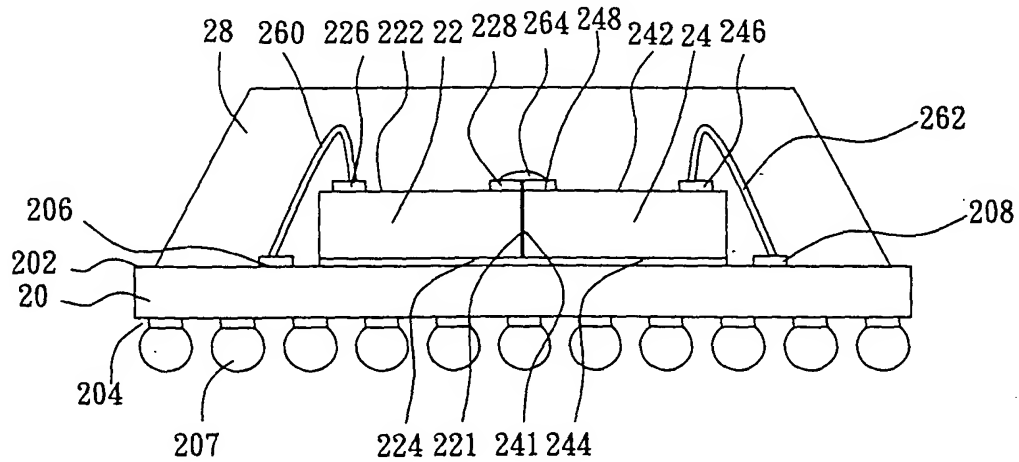


圖 2

裝

訂

線

圖式

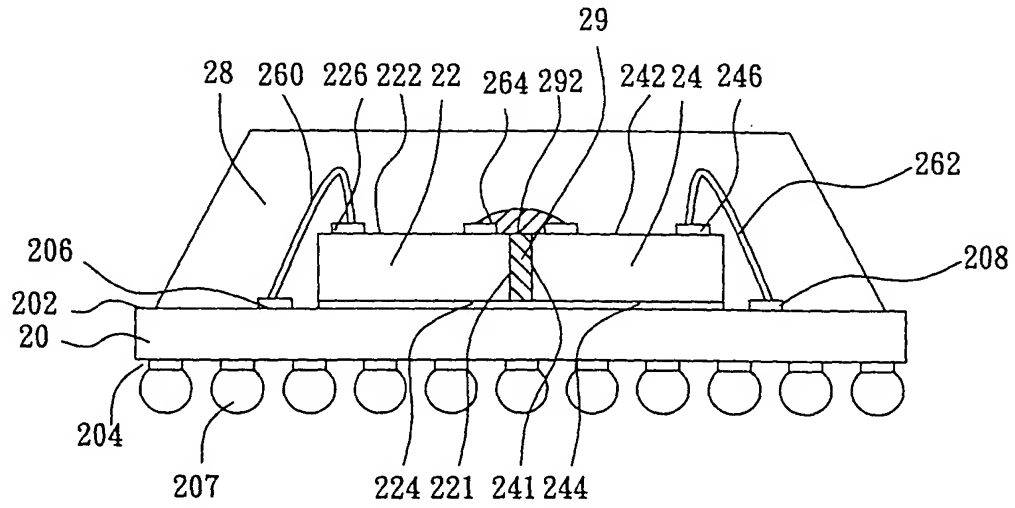


圖 3

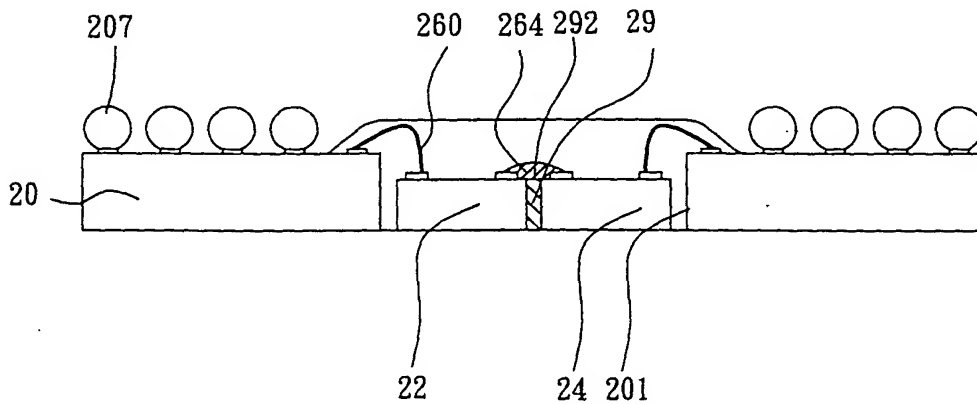


圖 4

圖式

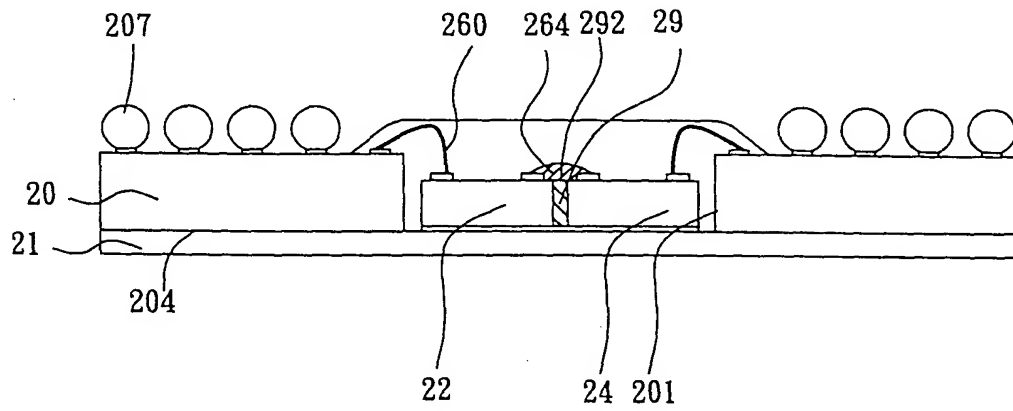


圖 5

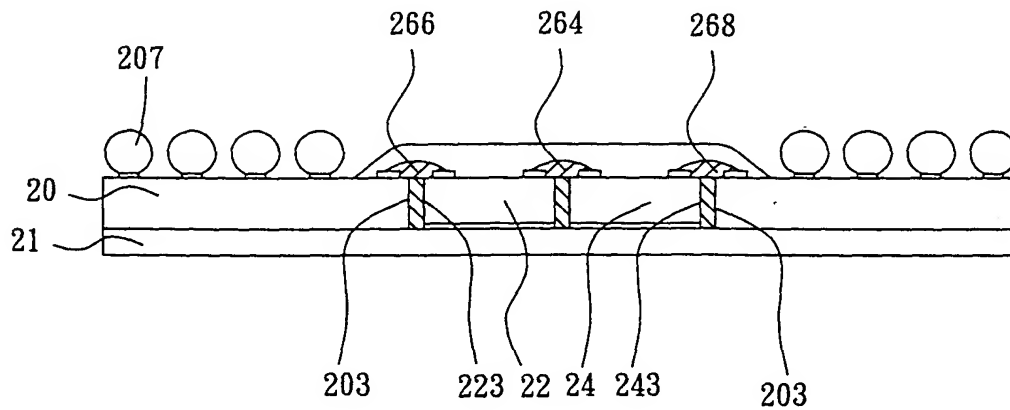


圖 6

圖式

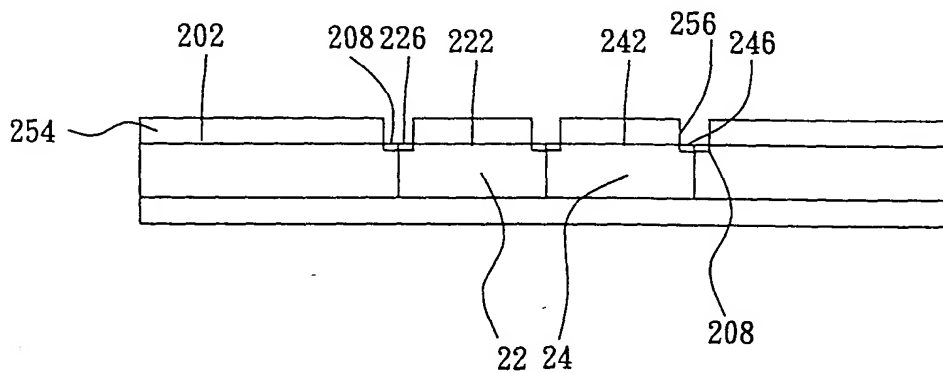


圖 7

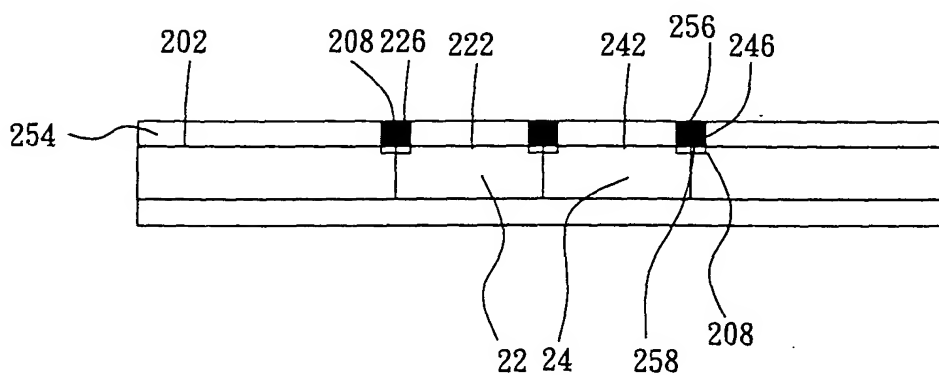


圖 8

圖式

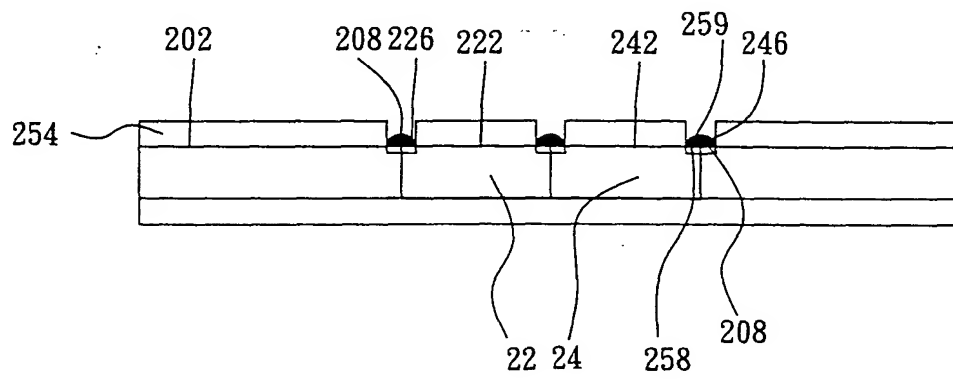


圖 9

裝

訂

線